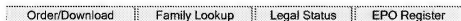


MicroPatent® PatSearch Fulltext: Record 2 of 2

Search scope: US Granted US Applications EP-A EP-B WO JP (bibliographic data only)
DE-C,B DE-A DE-T DE-U GB-A FR-A

Years: 1836-2008

Patent/Publication No.: EP0036605

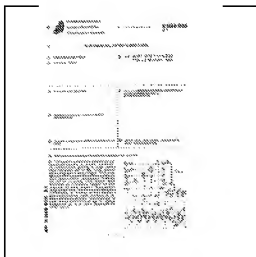


Go to first matching text

EP36605 A1
**PCM system with transmitter side
scrambler and receiver side
descrambler**
SIEMENS AG

Abstract:

PCM-System mit sendeseitigem Verwuerfler und emp-fangsseitigem Entwuerfler. Die Verwuerfler sind fuer hoech-ste Geschwindigkeiten entworfen. Es werden mehrere binaere Digitalsignale (BS1 bis BS4) parallel verwuerfelt und anschliessend ueber einen Multiplexer (MUX) zusammengefasst. Der Verwuerfler (SC) besteht aus einem ueber einem Modulo-2-Addierer rueckgekoppelten Schieberegister (SR). Zur Verwuerfelung werden dieselben Pseudo--Zufallsfolgen von verschiedenen Kippstufen des Schieberegisters, also zeitlich verschobene Pseudo-Zufallsfolgen verwendet. Durch Ruecksetzen des Schieberegisters und Verwuerfeln von Dauerlagen wird die Aussendung einer Synchronisierfolge erreicht. Wird hierbei die zeitliche Zuordnung der einzelnen Pseudo-Zufallsfolgen ge-aendert, tritt die Synchronisierfolge auch bei beliebigen Dauerlagen (0 oder 1) der binaeren Digitalsignale (BS1 bis BS4) nicht auf.



[Click here for larger image.](#)

Inventor(s):

Müller, Horst, Dipl. Ing.

Application No. EP1981101946A **Filed** 19810316 **Published** 19810930

ECLA: H04J000306A1B H04L002503E3

Original IPC(1-7): H04L000902
H04L000522 H04J000306 H03K000384

Current IPC-R:

Advanced	invention		additional
	H04J000300	20060101	
	H04B001404	20060101	
	H04J000306	20060101	
	H04L000700	20060101	
	H04L002503	20060101	
	H04L002548	20060101	
Core	invention		additional
	H04J000300	20060101	
	H04B001404	20060101	
	H04J000306	20060101	
	H04L000700	20060101	
	H04L002503	20060101	
	H04L002540	20060101	

Priority:

DE3010969A 19800321
EP1981101946A 19810316

Designated States:

AT BE CH DE FR GB IT LI LU NL SE

Patents Cited:

- ⇒ DE2341627 A1 19740314 Schroeder, Henry Charles, East Brunswick, N.J., US [2]
- ⇒ DE2622660 A1 19771124 Moehrmann, Karl Heinz, Dipl.-Ing., 8000 Muenchen [0]
- ⇒ DE2633516 B2 19780524 Mueller, Horst, Dipl.-Ing., 8021 Hohenschaeflarn [0]
- ⇒ DE2634353 B1 19780105 Moehrmann, Karl Heinz, Dipl.-Ing., 8000 Muenchen [0]

Non-Patent Citations:

- NARICHTENTECHNISCHE ZEITSCHRIFT, 27. Jahrgang, Heft 12, Dezember 1974, Berlin H. MULLER " Bit Sequence Independence Through Scramblers in Digital Communication Systems "Seiten 475 bis 479 * Seite 475, linke Spalte, Zeile 24 bis Seite 476, linke Spalte, Zeile 46 ; Seite 477, rechte Spalte, Zeile 1 bis Seite 478, linke Spalte, Zeile 32 ; Figuren 4-6 *
- NARICHTENTECHNISCHE ZEITSCHRIFT, 27. Jahrgang, Heft 12, Dezember 1974, Berlin H. MULLER " Bit Sequence Independence Through Scramblers in Digital Communication Systems "Seiten 475 bis 479 * Seite 475, linke Spalte,

Zeile 24 bis Seite 476, linke Spalte, Zeile 46 ; Seite 477, rechte Spalte, Zeile 1 bis Seite 478, linke Spalte, Zeile 32 ; Figuren 4-6 *

Patents Citing This One:

- ✦ EP157413 B1 19920715 NEC CORPORATION
- ✦ EP305036 A2 19890301 HEWLETT PACKARD CO
- ✦ EP308150 B1 19930707 BRITISH TELECOMMUNICATIONS public limited company
- ✦ EP536334 B1 20020522 QUALCOMM Incorporated
- ✦ GB2149540 A 19850612 General Signal Corporation(US-NEW)
- ✦ GB2169114 A 19860702 General Signal Corporation(US-NEW)
- ✦ US4932057 A 19900605 Grumman Aerospace Corporation
- ✦ US5144669 A 19920901 British Telecommunications public limited company
- ✦ US5715236 A 19980203 Qualcomm Incorporated
- ✦ US6618429 B2 20030909 Qualcomm Incorporated
- ✦ US6693951 B1 20040217 Qualcomm Incorporated
- ✦ US7003021 B2 20060221 Qualcomm Incorporated
- ✦ EP148263 A1 19850717 M/A COM TELECOMMUNICATIONS, INC.
- ✦ EP157413 A2 19851009 NIPPON ELECTRIC CO
- ✦ EP162707 A2 19851127 AMERICAN MICRO SYST
- ✦ EP308150 A1 19890322 BRITISH TELECOMMUNICATIONS public limited company
- ✦ EP536334 A1 19930414 QUALCOMM, INC.
- ✦ FR2520136 A1 19830722 INT STANDARD ELECTRIC CORP
- ✦ US4831521 A 19890516 General Signal Corporation
- ✦ US5841806 A 19981124 QUALCOMM Incorporated
- ✦ US5926500 A 19990720 Qualcomm Incorporated
- ✦ US6621875 B2 20030916 Qualcomm Incorporated
- ✦ WO1988003343 A1 19880505 BELL COMMUNICATIONS RESEARCH, INC.
- ✦ WO1989002681 A1 19890323 BRITISH TELECOMMUNICATIONS PUBLIC LIMITED COMPANY

French Title: Système MIC avec dispositif de chiffrement du côté de la transmission et dispositif de déchiffrement du côté de la réception

German Title: PCM-System mit sendeseitigem Verwuerfler und empfangsseitigem Entwuerfler

German Abstract:

PCM-System mit sendeseitigem Verwuerfler und empfangsseitigem Entwuerfler. Die Verwuerfler sind fuer hoech-ste Geschwindigkeiten entworfen. Es werden mehrere binaere Digitalsignale (BS1 bis BS4) parallel verwuerfelt und anschliessend ueber einen Multiplexer (MUX) zusammengefasst. Der Verwuerfler (SC) besteht aus einem ueber einem Modulo-2-Addierer rueckgekoppelten Schieberegister (SR). Zur Verwuerfelung werden dieselben Pseudo-Zufallsfolgen von verschiedenen Kippstufen des Schieberegisters, also zeitlich verschobene Pseudo-Zufallsfolgen verwendet. Durch Ruecksetzen des Schieberegisters und

Verwerfeln von Dauerlagen wird die Aussendung einer Synchronisierfolge erreicht. Wird hierbei die zeitliche Zuordnung der einzelnen Pseudo-Zufallsfolgen geändert, tritt die Synchronisierfolge auch bei beliebigen Dauerlagen (0 oder 1) der binären Digitalsignale (BS1 bis BS4) nicht auf.

[Go to Claims](#)

Detailed Description

PCM system with transmitter side scrambler and receiver side descrambler

1 0 036 605 2

PCM-System mit sendeseitigem Verwerfeler und empfangsseitigem Entwurfeler.

Die Erfindung bezieht sich auf ein PCM-System mit einem Sendeteil zum parallelen Verwerfeln von n binären Digitalsignalen die jeweils einem ersten Eingang von n Modulo-2-Addierern zugeführt sind, deren Ausgänge zur Bildung eines seriellen Binärsignals mit den Eingängen eines Multiplexers verbunden sind und deren zweite Eingänge an die Ausgänge eines Verwerfellers angeschlossen sind, die von den Kippstufen eines rückgekoppelten Schieberegisters gebildet werden, und mit einem dem Sendeteil entsprechenden Empfangsteil, der einen Demultiplexer und einen synchronisierten Entwurfeler enthält.

Bei der Uebertragung eines pulscodemodulierten Signales (PCM) wird angestrebt, dass für Synchronisierungszwecke häufige Wechsel zwischen den beiden Signalzuständen auf der Uebertragungsstrecke erfolgen. Ist keine besondere Codierung des zu übertragenden Digitalsignals vorgenommen worden, kann es zur Aussendung sogenannter Dauerlagen kommen. Hierunter wird ein Signal verstanden, das der logischen Null oder der logischen Eins entspricht. Um diese Dauerlagen zu vermeiden, werden Verwerfeler (Scrambler) eingesetzt. Diese erzeugen eine Pseudo-Zufallsfolge von Nullen und Einsen, die zu dem binären Digitalsignal hinzuaddiert wird. Auf der Empfangsseite ist die Entwurfelung des Digitalsignals notwendig. Hierzu wird bei binärer Uebertragung ein Entwurfeler (Descrambler) verwendet, der dieselbe pseudo-Zufallsfolge wie der Verwerfeler erzeugt. Für hohe Übertragungsgeschwindigkeiten werden Verwerfeler eingesetzt, die gleichzeitig mehrere parallel vorliegende Digitalsignale verwerfeln, die dann im Zeitmultiplexverfahren ausgesendet werden.

Aus der DE-PS 26 34 353 ist ein Verwerfeler bekannt (Fig. 3), der zur Parallelverwerfelung mehrerer digitaler Signale verwendet wird. Der hier beschriebene Verwerfeler benötigt jedoch mehrere Modulo-2-Addierer zwischen den verschiedenen Kippstufen eines Schieberegisters. Hierdurch ist nicht nur ein grösserer schaltungsmaessiger Aufwand erforderlich, durch die Laufzeit der zwischengeschalteten Modulo-2-Addierer eignet sich dieser Verwerfeler aus nicht für extrem hohe Geschwindigkeiten.

Aus den Siemens-Forschungs- und Entwicklungsberichten, Band 3, 1974, Nr. 4, Seite 218 bis 224, Springer-Verlag, ist auf Seite 223 ein Verwuerfler angegeben, der nur einen Modulo-2-Addierer in der Rueckfuehrung des Schieberegisters benoetigt. Die gewuenschte Pseudo- Zufallsfolge wird von mehreren Modulo-2-Addierern erzeugt, die an unterschiedliche Ausgaenge der einzelnen Kippstufen des Schieberegisters angeschlossen sind. Durch Multiplexen dieser Signale wird eine Pseudo- Zufallsfolge erzeugt. Auch diese Schaltung eignet sich nicht fuer extrem hohe Geschwindigkeiten, da fuer die zusaetzlichen Modulo-2-Addierer ebenfalls Laufzeit benoetigt wird.

In • der DE-AS 23 41 627 ist in Fig. 1 ein Paralleldatenverschluessler dargestellt, der mehrere Daten mit Pseudo-Zufallssignalen gleichzeitig verschluesselt, die von verschiedenen Kippstufen und von einem Modulo-2-Addierer eines den Pseudo- Zufallsgenerator bildenden rueckge- koppelten Schieberegisters abgenommen werden. Ueber einen weiteren Modulo-2-Addierer, der auch der Verwuerfelung dient, erfolgt die Rueckkopplung auf den Eingang des Schieberegisters. Fuer maximale Geschwindigkeiten ist dieser Zufallsgenerator nicht geeignet, da sich in seinem Rueckkopplungszug die Laufzeiten von zwei Modulo-2-Addierern bemerkbar machen. Da der empfangsseitige Entwuerfler synchronisiert werden muss, ist die Bildung einer Synchronisierfolge im Sendeteil erforderlich. Diese wurde bisher separat erzeugt und anstelle der verwuerfelten Binaersignale uebertragen, wie z. B. in der NTZ, 1974, Heft 12, Seiten 475-479, Fig.6 dargestellt ist.

Aufgabe der Erfindung ist es, ein fuer hohe Datenraten geeignetes PCM-System mit einem Verwuerfler und einer Einrichtung zur Erzeugung einer Synchronisierfolge anzugeben.

Ausgehend vom einleitend beschriebenen Stand der Technik wird diese Aufgabe dadurch geloest, dass im Rueckkopplungsweg des Schieberegisters nur ein Modulo-2-Addierer liegt, dass zur Erzeugung einer vorgegebenen Synchronisierfolge die Aussendung der binaeren Digitalsignale gesperrt wird und dass die Kippstufen Setzeingaaenge aufweisen, die ueber einen gemeinsamen Ruecksetzeingang zusammengefasst sind und zur Erzeugung der Synchronisierfolge durch einen Impuls so eingestellt werden, dass die vom Verwuerfler abgegebenen Pseudo- Zufallsfolgen nach ihrer Zusammenfassung am Ausgang des Multiplexers die Synchronisierfolge bilden.

Vorteilhaft an dem Verwuerfler ist es, dass er mit minimalem Schaltungsaufwand auskommt und minimale Laufzeiten aufweist. Es reicht aus, wenn das durch Multiplexbildung gewonnene serielle Binaersignal nur mit einer angenaeherten Pseudo-Zufallsfolge verwuerfelt wird.

Diese Loesung hat ausserdem den Vorteil, dass der Verwuerfler gleichzeitig zur Erzeugung einer Synchronisierfolge verwendet wird. Diese Synchronisierfolge wird bei einem PCM-System meist als Rahmenkennungswort bezeichnet und jeweils am Anfang jedes Zeichenrahmens ausgesendet. Auf der Empfangsseite dient das Rahmenkennungswort zur Synchronisierung des Entwuerflers.

Eine Loesungsvariante ist dadurch gekennzeichnet, dass mindestens eine

Umschaltvorrichtung vorgesehen ist, die zur Erzeugung einer vorgegebenen Synchronisierfolge Dauerlagen mit denselben Pseudo- Zufallsfolgen wie bei der Aussendung binaerer Digitalsignale verwendet, diese jedoch in zeitlich veraenderter Form miteinander verschachtelt.

Bei dieser Variante entstehen unterschiedliche serielle Verwerfungsfolgen bei der Aussendung 3 0 036 605 4 von binaeren Digitalsignalen und bei der Aussendung der Synchronisierfolge. Dies wird da-durch erreicht, dass die Ausgaenge anderer Kipp-stufen des Verwerfners zum Verwerfeln, also zeitlich anders verschobene Pseudo-Zufallsfolgen, verwendet werden, oder dass die verwerferten Dauerlagen in anderer Weise ineinander zur Erzeugung der Synchronisierfolge verschachtelt werden. Dies fuehrt in beiden Faellen zu einer anderen zeitlichen Verschachtelung derselben Pseudo-Zufallsfolgen. Ebenso ist selbstverstaendlich auch die Verwendung von invertierten Pseudo-Zufallsfolgen moeglich.

Sonstige vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprechen angegeben.

Die Erfindung wird anhand von Ausfuehrungsbeispielen naeher erlaeutert.

Es zeigen Figur 1 das Prinzipschaltbild eines PCM-Systems, Figur 2 ein Prinzipschaltbild eines Pseudo-Zufallsgenerators, Figur 3 ein Ausfuehrungsbeispiel eines rueck-gesetzten Verwerfners, Figur 4 ein weiteres Ausfuehrungsbeispiel des Verwerfners und Figur 5 ein drittes Ausfuehrungsbeispiel des Verwerfners.

Fig. 1 zeigt ein PCM-System. Dem Sendeteil SE des PCM- Systems werden parallel binaere Digitalsignale ueber die Eingaenge EI bis E4 zugefuehrt. Diese Eingaenge sind jeweils mit einem Eingang eines Modulo-2- Addierers M01 bis M04 verbunden; der zweite Eingang EM1, EM2, EM3, EM4 jedes Molulo-2-Addierers ist mit einem Verwerfner SC verbunden. Die Ausgaenge der Modulo-2-Addierer M01 bis M04 sind mit den Eingaengen DO bis D3 eines Multiplexers MUX verbunden, dessen Ausgang A ein serielles Binaersignal SB abgibt. Ueber einen Digitalsignalkanal K gelangt dieses Signal zum Eingang E des PCM-Empfangsteiles EM. Der Eingang E ist auf einen Demultiplexer DMUX gefuehrt. Dessen Ausgaenge Q0 bis Q3 sind jeweils mit einem Eingang eines Modulo-2- Addierers M11 bis M14 verbunden. Die zweiten Eingaenge jedes Modulo-2- Addierers sind mit einem Entwuerfler DSC verbunden. Die Ausgaenge der Modulo-2-Addierer M11 bis M14 sind auf Anschlusspunkte AI bis A4 gefuehrt. Der Eingang E des PCM-Empfangsteils ist mit einer Rahmensynchronisiereinrichtung RSY verbunden, die den Entwuerfler DSC in die gewuenschte Ausgangsposition stellt.

An den Eingaengen EI bis E4 des PCM-Sendeteils liegen binaere Digitalsignale BS1 bis BS4 an. Diese binaeren Digitalsignale gelangen zu jeweils einem Modulo-2-Addierer M01 bis M04. Der Verwerfner SC erzeugt an seinen Ausgaengen Pseudo-Zufallsfolgen binaerer Signale, die auf die Eingaenge EM1 bis EM4 der Modulo-2-Addierer M01 bis M04 gefuehrt sind. Mit diesen Pseudo-Zufallsfolgen werden die binaeren Digitalsignale BS1 bis BS4 verwerfvert und gelangen dann zu den Eingaengen DO bis D3 des Multiplexers MUX. Hier werden sie, zeitlich ineinander verschachtelt, als serielles Binaersignal SB vom Ausgang A des

Multiplexers ausgegeben. Über einen Digitalsignalkanal K (Modulations- und Demodulationseinrichtungen werden hierbei als selbstverständlich vorausgesetzt) gelangen sie zu dem Eingang E des PCM-Empfangsteiles EM. Im De-multiplexer DMUX werden aus dem seriellen Binaersignal wieder vier Digitalsignale DS1 bis DS4 gewonnen, die von den Ausgängen Q0 bis Q3 des Demultiplexers DMUX abgegeben werden. Der Demultiplexer DMUX enthaelt Kippstufen als Speicherelemente, so dass die Digitalsignale DS1 bis DS4 parallel ausgegeben werden. Um die urspruenglichen Binaersignale BS1 bis BS4 zurueck-gewinnen, ist es erforderlich, die Digitalsignale DS1 bis DS4 zu entwurfeln. Dies geschieht in den Modulo-2-Addierern M011 bis M014. Der Entwuerfuer DSC gibt hierzu dieselben Pseudo-Zufallsfolgen wie der sendeseitige Verwuerfuer SC ab. Die Eingaenge EM11 bis EM14 der Modulo-2- Addierer M011 bis M014 entsprechen den Eingaengen EM1 bis EM4 der Modulo-2- Addierer im Verwuerfuer. An ihren Ausgängen A1 bis A4 liegen deshalb wieder die urspruenglichen binaeren Digitalsignale BS1 bis BS4. Die Rahmenwortsynchronisierung RSY setzt den Descrambler in eine gewuenschte Ausgangs-position, wenn sie ein bestimmtes Rahmenkennungsword periodisch wiederkehrend er-kennt.

Fig. 2 zeigt das Prinzipschaltbild eines erfindungsgemaessen Pseudo-Zufallsgenerators fuer einen Verwuerfuer. Der Zufallsgenerator besteht aus einem Schieberegister, das sieben D- Kippstufen K1 bis K7 enthaelt. Der Ausgang a der ersten Kippstufe K1 und der Ausgang g der siebten Kippstufe K7 ist mit jeweils einem Eingang eines Modulo-2-Addierers MO verbunden, dessen Aus-gang auf den D-Eingang der ersten Kippstufe K1 gefuehrt ist. Alle Kippstufen K1 bis K7 werden ueber einen gemeinsamen Takteingang T angesteuert und sind ueber einen gemeinsamen Ruecksetzeingang R in eine bestimmte Anfangsposition, hier die logische Eins, einstellbar. Die Ausgaenge a, c, e, g der Kippstufen K1, K3, K5 und K7 sind herausgefuehrt. Der Pseudo-Zufallsgenerator er-zeugt in an sich bekannter Weise am Ausgang jeder Kippstufe eine Pseudo-Zufallsfolge logischer Nullen und logischer Einsen. Zum parallelen Verwuerfeln von Digitalsignalen werden mehrere Kippstufenausgaenge, hier vier unter- verschiedene, verwendet. Die Ausgaenge a, c, e und g sind an die zweiten Eingaenge EM1 bis EM4 des ersten bis vierten Modulo-2-Addierers MO1 bis M04 in Fig. 1 angeschlossen. Die binaeren Digi- talsignale BS1 bis BS4 werden demnach zeitlich verzoeert mit derselben Pseudo-Zufallsfolge ver-wuerfelt. Werden den Modulo-2-Addierern MO1 bis M04 als Digitalsignale Dauerlagen zugefuehrt, so entsteht am Ausgang des Multiplexers MUX je- doch keine reine Pseudo-Zufallsfolge, sondern eine serielle Binaerfolge, die nur einen annaeherd zufaelligen Charakter aufweist. Bestimmte 0,1- Folgen treten nicht auf. Dies wird in dem Ausfuehrungsbeispiel nach Fig. 3 zur Erzeugung einer bestimmten Synchronisierfolge ausgenutzt.

0 036 605 6 In Fig. 3 ist der PCM-Sendeteil eines Ausfuehrungsbeispiels dargestellt. An vier Eingaengen EI bis E4 liegen vier binaere Digitalsignale BS1 bis BS4 an. Die Eingaenge EI bis E4 sind auf jeweils einen Eingang eines UND-Gatters U1 bis U4 gefuehrt. Der zweite Eingang jedes UND-Gatters ist ueber einen Inverter I auf einen Synchroneingang S gefuehrt. Die Ausgaenge der UND-Gatter U1 bis U4 sind mit jeweils einem Eingang der Modulo-2-Addierer M01 bis M04 verbunden. Die zweiten Eingaenge der Modulo-2-Addierer M01 bis M04 sind an die Ausgaenge eines Verwuerfliers SC1 angeschlossen. Dieser Verwuerflier SC1 entspricht weitgehend dem in Fig. 1 beschriebenen Verwuerflier SC. Es sind

lediglich die Setz- bzw. Ruecksetzeingaenge der Kippstufen K1 bis K7 teilweise anders an den gemeinsamen Ruecksetzeingang R angeschlossen. Durch einen Impuls auf dem Ruecksetzeingang wird die Folge 0010011 als Angangswert in den Kippstufen K1 bis K7 ein-gestellt. Der Ausgang g der siebten Kippstufe K7 ist mit jeweils einem zweiten Eingang der Modulo-2-Addierer M01 BIS M03 verbunden, der Aus-gang c der dritten Kippstufe K3 ist mit jeweils einem Eingang des zweiten und vierten Modulo-2-Addierers MO2 und M04 verbunden. Die Ausgaenge der Modulo-2-Addierer M01 bis M04 sind jeweils auf die Eingaenge DO bis D3 des Multiplexers MUX gefuehrt, an dessen Ausgang A ein serielles Binaersignal SB abgegeben wird. An die Adresseingaenge AM und BM des Multiplexers MUX sind die Ausgaenge zweier als Viererteiler geschalteter Teilerkippstufen KA1 und KA2 verbunden. Der Ausgang Q1 der ersten Teilerkippstufe KA1 ist hierbei mit dem Adresseingang AM verbunden und auf den Takteingang der zweiten Teilerkippstufe KA2 gefuehrt. Der Ausgang Q2 der zweiten Teilerkippstufe KA2 ist an den Adresseingang BM des Multiplexers angeschlossen und mit dem Takteingang T des Verwuerflers SC1 verbunden. Der Takteingang der ersten Teilerkippstufe KA1 ist auf einen Anschlusspunkt ST herausgefuehrt.

Die Funktion des PCM-Sendeteils gleicht prinzipiell der Funktion des in Fig. 1 beschriebenen Sendeteiles SE. Dem Takteingang der Teilerkippstufe KA_i wird ein Taktsignal mit der UEbertragungsfrequenz des seriellen Binaersignals SB zugefuehrt...Die Ausgaenge der Kippstufen KA_i und KA2 nehmen nacheinander die Zustaeude 00, 10, 01, 11 an, wodurch die an den Eingaengen DO bis D3 des Multiplexers MUX liegenden Signale in serieller Folge an den Ausgang A durchgeschaltet werden. Anschliessend geht der Ausgang Q2 der Teilerkippstufe KA2 von der logischen Eins wie- der auf die logische Null. Dadurch wird ein Taktimpuls fuer den Verwuerfler SC1 wirksam und der Verwuerfler wird in seinen naechsten Zustand weitergeschaltet. An den Eingaengen EI bis E4 liegen die naechsten Bits der binaeren Digitalsigna-le BS1 bis BS4 an, die jetzt entsprechend dem neuen Zustand des Verwuerflers ueber den Multiplexer MUX ausgesendet werden. Dieser Vorgang wiederholt sich, solange binaere Digitalsignale ausgesendet werden.

Um den empfangsseitigen Entwuerfler zu synchronisieren, ist es ueblich, am Anfang jedes Digitalsignalrahmens ein sogenanntes Rahmenkennungswort auszusenden, das aus einer be- stimmten 0,1-Folge besteht. Als Rahmenkennungswort wird vom CCITT, Vol. III-2, Rec. G.751 die Synchronisierfolge 1111 1010 0000 vorgeschlagen, die auch in allen Ausfuehrungsbeispielen erzeugt wird. Die binaeren Digitalsignale BS1 bis BS4 werden ueber ein fuer die Dauer der Aussendung des Rahmenkennungswortes an dem Ein-gang S anliegendes, die logische Eins darstellen-des Synchronfolgesignal gesperrt. An jeweils einem Eingang der Modulo-2- Addierer M01 bis M04 liegt deshalb die logische Null an. Um die vorgegebene Synchronisierfolge am Ausgang des Multiplexers zu erhalten, muessen die vier zwei-ten Eingaenge EM1 bis EM4 der Modulo-2-Addierer M01 bis M04 daher folgende Bitkombinationen aufweisen: EM1 EM2 EM3 EM4 to 1 1 1 1 ti 1 0 1 0 t2 0 0 0 0 Dies wird erreicht, indem zu Beginn der Aussendung des Rahmenkennungswortes der Verwuerfler SC1 durch einen kurzen Ruecksetzimpuls (Zeitpunkt to) ueber seinen Ruecksetzeingang R in die dargestellte Ausgangslage 0010011 gesetzt wird.

Sind jedoch als binäre Digitalsignale längere Zustände von logischen Nullen an den Eingängen EI bis E4 zugelassen, so wird das Rahmenkennungswort jeweils nach einer gesamten Periode des Verwerfners SC1 ausgesendet. Um dies zu vermeiden, sind in einem weiteren Ausführungsbeispiel nach Fig. 4 besondere Schaltungsmaßnahmen getroffen. Das Ausführungsbeispiel nach der Fig. 4 ist weitgehend mit dem in Fig. 3 dargestellten Ausführungsbeispiel identisch. Der zweite Eingang EM2 des zweiten Modulo-2-Addierers MO2 ist jedoch an dem Ausgang c der dritten Kippstufe K3 des Verwerfners SC2 angeschlossen. Über einen ersten elektronischen Umschalter SI ist bei der Aussendung von binären Digitalsignalen, hierbei liegt am Synchron Eingang S des PCM-Sendeteils die logische Null, der zweite Eingang EM3 des dritten Modulo-2-Addierers MO3 ist mit dem Ausgang e der fünften Kippstufe K5 verbunden und der zweite Eingang EM4 des vierten Modulo-2-Addierers MO4 ist über einen zweiten elektronischen Umschalter S2 mit dem Ausgang a der ersten Kippstufe K1 verbunden, während bei der Aussendung des Rahmenkennungswortes, hierbei liegt am Synchron Eingang S die logische Eins, der zweite Eingang EM3 des dritten Modulo-2-Addierers MO3 mit dem Ausgang g der siebten Kippstufe K7 und der zweite Eingang EM4 des vierten Modulo-2-Addierers MO4 mit dem Ausgang c der dritten Kippstufe K3 verbunden ist. Als elektronische Umschalter werden UND-ODERGatter verwendet, wobei jeweils ein UND-Gatter jedes elektronischen Umschalters freigegeben ist, während das zweite UND-Gatter über einen Inverter I gesperrt ist. Gesteuert werden die elektronischen Umschalter von dem am Synchron Eingang S anliegenden Synchronfolgesignal. Bei der Aussendung des Rahmenkennungswortes weisen beide Ausführungsbeispiele die gleiche Funktion auf. Durch die andersartige Verwerfung bei der Aussendung von binären Digitalsignalen ist jedoch sichergestellt, dass auch beliebige Dauerlagen an den Eingängen EI bis E4 nicht zur Vortäuschung des angegebenen Rahmenkennungswortes führen. Als nachteilig erweisen sich jedoch die Laufzeiten der elektronischen Schalter SI und S2.

In Fig. 5 ist deshalb ein Ausführungsbeispiel 20 dargestellt, das diesen Nachteil vermeidet. Dieses Ausführungsbeispiel gleicht im Aufbau dem Ausführungsbeispiel nach Fig. 3.

Der Ausgang Q2 der Teilerkippstufe KA2 ist jedoch über ein zusätzliches UND-Gatter S3 mit dem Adresseingang BM des Multiplexers MUX verbunden. Der zweite Eingang des zusätzlichen UND-Gatters S3 ist mit dem Ausgang des Inverters I verbunden. Die UND-Gatter U3 und U4 entfallen. Der zweite Eingang EM1 des ersten Modulo-2-Addierers MO1 ist jedoch mit dem Ausgang b der zweiten Kippstufe K2 des Verwerfners SC3 verbunden, der zweite Eingang EM2 des zweiten Modulo-2-Addierers MO2 ist mit dem Ausgang a der ersten Kippstufe K1 verbunden, der dritte Eingang EM3 des dritten Modulo-2-Addierers MO3 ist mit dem Ausgang g der siebten Kippstufe K7 verbunden und der zweite Eingang EM4 des zweiten Modulo-2-Addierers MO4 ist mit dem Ausgang e der fünften Kippstufe K5 verbunden. Die Rückkopplung des Verwerfners SC3 ist ebenfalls geändert, und zwar werden die Ausgänge f und g der sechsten und siebten Kippstufe K6 und K7 auf die Eingänge des Modulo-2-Addierers MO geschaltet, dessen Ausgang an den D-45 Eingang der ersten Kippstufe K1 angeschlossen ist.

Die Aussendung von Digitalsignalen vollzieht sich in der bereits beschriebenen Weise. Wird das Rahmenkennungswort ausgesendet, so werden 50 durch ein am Eingang S anliegendes Synchronfolgesignal wieder die binären Digitalsignale BS1 und BS2 abgeschaltet; gleichzeitig wird jedoch an den höherwertigen Adresseingang BM des Multiplexers MUX über das zusätzliche UND- 55 Gatter S3 die logische Null angelegt. Dadurch werden nur die am Eingang DO und am Eingang D1 anliegenden Signale am Ausgang A des Multiplexers MUX angegeben. Die Ausgänge a bis g der Kippstufen K1 bis K7 werden durch einen 60 kurzen Impuls am Rücksetzeingang R zu Beginn des Synchronfolgesignals auf die logische Eins gestellt. Zuerst werden, nur die Kippstufen K1 und K2 sind ja an der Erzeugung des Rahmenkennungswortes beteiligt, vier logische 65

Claims (English)

Claims

1. A PCM-system having a transmitting section (SE) for the parallel scrambling of n binary digital signals (BS1 to BS4), which are respectively fed to a first input of n modulo-2-adders (MO1 to MO4) whose outputs, in order to form a serial binary signal (SB), are connected to the inputs (DO to D3) of a multiplexer (MUX) and whose second inputs (EM1 to EM4) are connected to the outputs (a, c, d, g) of a scrambler (SC) which are formed by the flip-flops (K1 to K7) of a shift register (SR) provided with feed-back; and with a receiving section (EM) which corresponds to the transmitting section (SE) and which includes a demultiplexer (DMUX) and a synchronised de-scrambler (DSC), characterised in that the feed-back path of the shift register contains only one modulo-2-adder (MO), that in order to produce a predetermined synchronising sequence the transmission of the binary digital signals (BS1 to BS4) is blocked, and that the flip-flops (K1 to K7) have setting inputs which are combined via a common resetting input (R) and in order that the synchronising sequence may be produced are set by a pulse in such manner that the pseudo-random sequences emitted by the scrambler, having been combined, form the synchronising sequence at the output of the multiplexer (MUX).
2. PCM-system as claimed in claim 1, characterised in that in order that a pseudo-random sequence may be produced the shift register (SR) includes seven flip-flops (K1 to K7), that the outputs (a and g) of the first flip-flop (K1) and of the seventh flip-flop (K7) are connected to the two inputs of the modulo-2-adder (MO), that the output of this modulo-2-adder leads to the D-input of the first flip-flop (K1), that four modulo-2-adders (MO1 to MO4) are respectively supplied via four AND-gates (U1 to U4) with a digital signal (BS1 to BS4), that the second inputs of the AND-gates (U1 to U4) are commonly connected via an inverter (I) to a synchronising input (S), that the second 11 0 036 605 12 input (EM1) of the first modulo-2-adder (MO1) and the second input (EM3) of the third modulo-2-adder (MO3) are connected to the output of the seventh flip-flop (K7), that the second inputs (EM2 and EM4) of the second and fourth modulo-2-adders (MO2 and MO4) are connected to the output (c) of the third flip-flop (K3), and that during the transmission of the synchronising sequence the AND-gates (U1 to U4) are blocked by a synchronising-sequence-signal present at the synchronising input (s) (Fig. 3).
3. PCM-system as claimed in claim 1 or 2, characterised in that at least one switch-

over device (Si, S2, S3) is provided which, in order to produce a predetermined synchronising sequence, employs continuous states with the same pseudo-random sequences as in the case of the transmission of binary digital signals (BS1, BS2, BS_n) although these are interlaced with one another differently in terms of time.

4. PCM-system as claimed in claim 2 or 3, characterised in that two electronic change-over switches (Si, S2) are provided which are actuated by the synchronous sequence signal present at the synchronising input (S), that constantly the output (g) of the seventh flip-flop (K7) is connected to the second input (EM1) of the first modulo-2-adder (M01) and the output (c) of the third flip-flop (K3) is connected to the second input (EM2) of the second modulo-2-adder (M02), that when the synchronising sequence signal is absent via the first change-over switch (Si) the output (e) of the fifth flip-flop (K5) is connected to the second input (EM3) of the third modulo-2-adder (M03) and the output (a) of the first flip-flop (K1) is connected to the second input (EM4) of the fourth modulo-2-adder (M04), and that when the synchronising sequence signal is present the output (g) of the seventh flip-flop (K7) is also connected via the first change-over switch (Si) to the second input (EM3) of the third modulo-2-adder (M03) and the output (c) of the third flip-flop (K3) is also connected via the second change-over switch (S2) to the second input (EM4) of the fourth modulo-2-adder (M04) (Fig. 4).

5. PCM-system as claimed in claim 3, characterised in that a seven-stage shift register (SR) is provided in a scrambler (SC3), that the outputs (f and g) of the sixth and seventh flip-flops (K6 and K7) lead back via a modulo-2-adder (MO) to the D-input of the first flip-flop (Ki), that a first and a second modulo-2-adder (M01 and M02) are supplied with two binary digital signals (BS1 and BS2) via two AND-gates (U1, U2), and a third and a fourth modulo-2-adder (M03, M04) are supplied with two further digital signals (BS3 and BS4), that the output (b) of the second flip-flop (K2) is connected to the second output (EM1) of the first modulo-2-adder (M01), the output (a) of the first flip-flop (K1) is connected to the second input (EM2) of the second modulo-2-adder (M03), and the output (e) of the fifth flip-flop (K5) is connected to the second input (EM4) of the fourth modulo-2-adder (M04), that the outputs of the first to fourth modulo-2-adders (M01 to M04) are connected to the inputs (D0 to D3) of a multiplexer (MUX) whose higher-value address input (BM) is connected via an additional AND-gate (S3) to the second inputs of the two AND-gates (U1 and U2) and via an inverter (I) to the synchronising input (S), and that the outputs (a to g) of all the flip-flops (K1 to K7) of the shift register (SR) can be set at logic one via the resetting input (R).

6. PCM-system as claimed in one of the pre-ceding claims 2 to 4, characterised in that the shift register (SR) is provided with a resetting input (R), that the flip-flops (K1 to K7) of the shift register are reset into the starting state 0010011 or 0011011 via a resetting pulse present at the resetting input (R).

Claims (French)

Revendications

1. Système MIC comportant une partie émission (SE) servant à réaliser le brouillage en parallèle de n signaux numériques binaires (BS1 à BS4), qui sont

envoyés respectivement à des premières entrées de n additionneurs modulo 2 (M01 à M04), dont les sorties sont reliées, pour la formation d'un signal binaire en série (SB), aux entrées (DO à D3) d'un multiplexeur (MUX), et dont les secondes entrées (EM1 à EM4) sont raccordées aux sorties (a, c, d, g) d'un dispositif embrouilleur (SC), qui sont formées par des étages à bascule bistable (Q1 à Q7) d'un registre à décalage (SR) couplé par réaction, et comportant une partie réception (EM) correspondant à la partie émission (SR) et qui contient un démultiplexeur (DMUX) et un dispositif désembrouilleur synchronisé (DSC), caractérisé par le fait que seul un additionneur modulo 2 (MO) est situé dans la voie de réaction du registre à décalage, que l'émission des signaux numériques binaires (BS1 à BS4) est bloquée, pour la production d'une suite à synchronisation prédéterminée, et que les étages à bascule bistable (Ki à K7) comportent des entrées de positionnement qui sont réunies par l'intermédiaire d'une entrée commune (R) de remise à l'état initial et sont réglées pour la production à la suite de synchronisation par une impulsion de telle sorte que les suites pseudo-aléatoires délivrées par le dispositif embrouilleur forment après la réunion à la sortie du multiplexeur (MUX), la suite de synchronisation.

2. Système MIC suivant la revendication 1, caractérisé par le fait que pour la production d'une suite pseudo-aléatoire, le registre à décalage (ZR) contient sept étages à bascule bistable (K1 à K7) que les sorties (a et g) du premier étage à bascule bistable (K1) et du septième étage à bascule bistable (K7) sont reliées aux deux entrées de l'additionneur modulo 2 (MO), que la sortie de cet additionneur modulo 2 est reliée à l'entrée D du premier étage à bascule bistable (K1), que des signaux numériques respectifs (BS1 à BS4) sont envoyés à quatre additionneurs modulo 2 (MO1 à M04) par l'intermédiaire de 13 0 036 605 14 troisième additionneur modulo 2 (M03) et que la sortie (c) du troisième étage à bascule bistable (K3) est également reliée par l'intermédiaire du second commutateur (S2) à la seconde entrée (EM4) du quatrième étage additionneur modulo 2 (M04) (Fig. 4).

5. Système MIC suivant la revendication 3, caractérisé par le fait qu'il est prévu un registre à décalage (SR) à sept étages dans un dispositif de brouillage (SC3), que les sorties (f et g) des sixième et septième étages à bascule bistable (K6 et K7) sont reliées en retour par l'intermédiaire d'un additionneur modulo 2 (MO) à l'entrée (D) du premier étage à bascule bistable (K1), que deux signaux numériques binaires (BS1 et BS2) sont envoyés à un second additionneur modulo 2 (M01 et M02) par l'intermédiaire de deux circuits ET (U1, U2) et que deux autres signaux numériques (BS3 et BS4) sont envoyés à un troisième et à un quatrième additionneur modulo 2 (M03, M04), que la sortie (b) du second étage à bascule bistable (K2) est reliée à la seconde entrée (EM1) du premier additionneur modulo 2 (M01), que la sortie (a) du premier étage à bascule bistable (K1) est reliée à la seconde entrée (EM2) du second additionneur modulo 2 (M03) et que la sortie (e) du cinquième étage à bascule bistable (K5) est reliée à la seconde entrée (EM4) du quatrième additionneur modulo 2 (M04), que les sorties du premier jusqu'au quatrième additionneurs modulo 2 (MO1 à M04) sont reliées aux entrées (DO à D3) à multiplexeur (MUX), dont l'entrée d'adresses de poids supérieur (BM) est reliée par l'intermédiaire d'un circuit ET supplémentaire (S3) aux secondes entrées des deux circuits ET (U1 et U2) et par l'intermédiaire d'un inverseur (I) à l'entrée de synchronisation (S) et que les sorties (a à g) de tous les étages à

bascule bistable (Ki à K7) du registre à décalage (SR) peuvent être réglés sur les uns logiques par l'intermédiaire de l'entrée (R) de remise à l'état initial.

6. Système MIC suivant l'une des revendications précédentes 2 à 4, caractérisé par le fait qu'il est prévu une entrée (R) de remise à l'état initial du registre à décalage (SR) et que les étages à bascule bistable (Ki à K7) du registre à décalage sont ramenés dans leur état initial 0010011 ou 0011011 par l'intermédiaire d'une impulsion de remise à l'état initial appliquée à l'entrée (R) de remise à l'état initial.

quatre circuits ET (U1 à U4), que les secondes entrées des circuits ET (U1 à U4) sont raccordées en commun par l'intermédiaire d'un inverseur (I) à une entrée de synchronisation (S), et que la seconde entrée (EM1) du premier additionneur modulo 2 (MO1) et la seconde entrée (EM3) du troisième additionneur modulo 2 (M03) du troisième additionneur modulo 2 (M03) sont reliées à la sortie du septième étage à bascule bistable (K7), que les deux entrées (EM2 et EM4) du second et du quatrième additionneurs modulo 2 (MO2 et M04) sont reliées à la sortie (c) du troisième étage à bascule bistable (A3) et que pendant l'émission de la suite de synchronisation, les circuits ET (U1 à U4) sont bloqués par un signal de suite de synchronisation présent à l'entrée de synchronisation (S) (Fig. 3).

3. Système MIC suivant la revendication 1 ou 2, caractérisé par le fait qu'il est prévu au moins un dispositif de commutation (Si, S2, S3), qui, pour la production d'une suite de synchronisation prédéterminée, utilise des états permanents avec les mêmes suites pseudo-aléatoires que dans le cas de l'émission de signaux numériques binaires (BS1, BS2, ..., BSn), mais que ces dernières sont imbriquées entre elles selon une forme modifiée dans le temps.

4. Système MIC suivant l'une des revendications 2 ou 3, caractérisé par le fait qu'il est prévu deux commutateurs électroniques (Si, S2), qui sont actionnés par le signal de suite de synchronisation présent à l'entrée de synchronisation (S), qu'en permanence la sortie (g) du septième étage à bascule bistable (K7) est relié à la seconde entrée (EM1) du premier additionneur modulo 2 (MO1) et que la sortie (c) du troisième étage à bascule bistable (K3) est reliée en permanence à la seconde entrée (MO2) du second additionneur modulo 2 (MO2), que dans le cas de l'absence du signal de suite de synchronisation, la sortie (e) du cinquième étage à bascule bistable (K5) est reliée par l'intermédiaire du premier commutateur (Si) à la seconde entrée (EM3), du troisième additionneur modulo 2 (M03) et que la sortie (a) du premier étage à bascule bistable (K1) est reliée à la seconde entrée (EM4) du quatrième additionneur modulo 2 (M04), et que, lors de la présence du signal de suite de synchronisation, la sortie (g) du septième étage à bascule bistable (K7) est également reliée par l'intermédiaire du premier commutateur (K7) à la seconde entrée (EM3) du

Claims (German)

Anspruche

Einsen generiert. Ueber den D-Eingang der ersten Kippstufe KI werden vorerst Nullen nachgeschoben. Dadurch ergibt sich als serielles Binaersignal am Ausgang

A des Multiplexers MUX wieder das Rahmenkennungswort. Bei diesem Ausführungsbeispiel kann als Schieberegister SR ein integrierter Baustein mit gemeinsamem Setz- oder Rucksetzeingang verwendet werden. Die Ausgänge des Verwerfners SC3 wurden so gewählt, dass das Rahmenkennungswort auch bei beliebigen Dauerlagen an den Eingängen EI bis E4 vermieden ist.

Der Entwurf auf der Empfangsseite ist stets analog zu dem der Sendeseite aufgebaut.

1. PCM-System mit einem Sendeteil (SE) zum parallelen Verwerfen von n binären Digitalsignalen (BS1 bis BS4), die jeweils einem ersten Eingang von n Modulo-2-Addierern (MO1 bis MO4) zugeführt sind, deren Ausgänge zur Bildung eines seriellen Binaersignals (SB) mit den Eingängen (DO bis D3) eines Multiplexers (MUX) verbunden sind und deren zweite Eingänge (EM1 bis EM4) an die Ausgänge (a, c, d, g) eines Verwerfners (SC) angeschlossen sind, die von den Kippstufen (KI bis K7) eines rückgekoppelten Schieberegisters (SR) gebildet werden, und mit einem dem Sendeteil (SE) entsprechenden Empfangsteil (EM), der einen Demultiplexer (DMUX) und einen synchronisierten Entwurf (DSC) enthält, dadurch gekennzeichnet, dass im Rückkopplungsweg des Schieberegisters nur ein Modulo-2-Addierer (MO) liegt, dass zur Erzeugung einer vorgegebenen Synchronisierfolge die Aussendung der binären Digitalsignale (BS1 bis BS4) gesperrt wird und dass die Kippstufen (K1 bis K7) Setzeingänge aufweisen, die über einen gemeinsamen Rücksetzeingang (R) zusammengefasst sind und zur Erzeugung der Synchronisierfolge durch einen Impuls so eingestellt werden, dass die vom Verwerfner abgegebenen Pseudo-Zufallsfolgen nach ihrer Zusammenfassung am Ausgang des Multiplexers (MUX) die Synchronisierfolge bilden.

2. PCM-System nach Anspruch 1, dadurch gekennzeichnet, dass zur Erzeugung einer Pseudo-Zufallsfolge das Schieberegister (SR) sieben Kippstufen (KI bis K7) enthält, dass die Ausgänge (a und g) der ersten Kippstufe (KI) und der siebten Kippstufe (K7) mit den beiden Eingängen des Modulo-2-Addierers (MO) verbunden sind, dass der Ausgang dieses Modulo-2-Addierers auf den D-Eingang der ersten Kippstufe (KI) geführt ist, dass vier Modulo-2-Addierer (MO1 bis MO4) über vier UND-Gatter (UI bis U4) jeweils ein Digitalsignal (BS1 bis BS4) zugeführt ist, dass die zweiten Eingänge der UND-Gatter (UI bis U4) gemeinsam über einen Inverter (I) an einen Synchron Eingang (S) angeschlossen sind, dass der zweite Eingang (EM1) des ersten Modulo-2-Addierers (MO1) und der zweite Eingang (EM3) des dritten Modulo-2-Addierers (MO3) mit dem 9 0 036 605 10 Ausgang der siebten Kippstufe (K7) verbunden sind, dass die zweiten Eingänge (EM2 und EM4) des zweiten und vierten Modulo-2-Addierers (MO2 und MO4) mit dem Ausgang (c) der dritten Kippstufe (K3) verbunden sind und dass während der Aussendung der Synchronisierfolge die UND-Gatter (U1 bis U4) von einem am Synchron Eingang (S) anliegenden Synchronfolgesignal gesperrt sind (Fig. 3).

3. PCM-System nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass mindestens eine Umschaltvorrichtung (S1, S2, S3) vorgesehen ist, die zur Erzeugung einer vorgegebenen Synchronisierfolge Dauerlagen mit denselben Pseudo-Zufallsfolgen wie bei der Aussendung binärer Digitalsignale (BS1, BS2, ..., BS_n) verwendet, diese jedoch in zeitlich veränderter Form miteinander

verschachtelt.

4. PCM-System nach Anspruch 2 oder 3, da-durch gekennzeichnet, dass zwei elektronische Umschalter (S1, S2) vorgesehen sind, die durch das am Synchron Eingang (S) anliegende Synchronfolgesignal betätigt werden, dass staendig der Ausgang (g) der siebten Kippstufe (K7) mit dem zweiten Eingang (EM1) des ersten Modulo-2-Addierers (MO1) sowie der Ausgang (c) der dritten Kippstufe (K3) mit dem zweiten Eingang (EM2) des zweiten Modulo-2-Addierers (MO2) verbunden ist, dass bei fehlendem Synchronfolgesignal ueber den ersten Umschalter (S1) der Ausgang (e) der fuenften Kippstufe (K5) mit dem zweiten Eingang (EM3) des dritten Modulo-2-Addierers (MO3) verbunden ist sowie der Ausgang (a) der ersten Kippstufe (K1) mit dem zweiten Eingang (EM4) des vierten Modulo-2-Addierers (MO4) verbunden ist und dass bei vorhandenem Synchronfolgesignal der Ausgang (g) der siebten Kippstufe (K7) ueber den ersten Umschalter (S1) auch mit dem zweiten Eingang (EM3) des dritten Modulo-2-Addierers (MO3) verbunden ist sowie der Ausgang (c) der dritten Kippstufe (K3) ueber den zweiten Umschalter (S2) auch mit dem zweiten Eingang (EM4) des vierten Modulo-2-Addierers (MO4) verbunden ist (Fig. 4).

5. PCM-System nach Anspruch 3, dadurch gekennzeichnet, dass ein siebenstufiges Schieberegister (SR) in einem Verwuerfler (SC3) vorgesehen ist, dass die Ausgaenge (f und g) der sechsten und siebten Kippstufe (K6 und K7) ueber einen Modulo-2-Addierer (MO) auf den D-Eingang der ersten Kippstufe (K1) zurueckgefuehrt sind, dass einem ersten und einem zweiten Modulo-2-Addierer (MO1 und MO2) zwei binaere Digitalsignale (BS1 und BS2) ueber zwei UND-Gatter (U1, U2) zugefuehrt sind und einem dritten und einem vierten Modulo-2-Addierer (MO3, MO4) zwei weitere Digitalsignale (BS3 und BS4) zugefuehrt sind, dass der Ausgang (b) der zweiten Kippstufe (K2) mit dem zweiten Ausgang (EM1) des ersten Modulo-2-Addierers (MO1), der Ausgang (a) der ersten Kippstufe (K1) mit dem zweiten Eingang (EM2) des zweiten Modulo-2-Addierers (MO3) verbunden ist und der Ausgang (e) der fuenften Kippstufe (K5) mit dem zweiten Eingang (EM4) des vierten Modulo-2-Addierers (MO4) verbunden ist, dass die Ausgaenge des ersten bis vierten Modulo-2-Addierers (MO1 bis MO4) mit den Eingangen (DO bis D3) eines Multiplexers (MUX) verbunden sind, dessen haehervertiger Adresseneingang (BM) ueber ein zusaetzliches UND-Gatter (S3) mit den zweiten Eingangen der zwei UND-Gatter (U1 und U2) und ueber einen Inverter (I) mit dem Synchron Eingang (S) verbunden ist und dass die Ausgaenge (a bis g) aller Kippstufen (K1 bis K7) des Schieberegisters (SR) ueber den Ruecksetzeingang (R) auf die logische Eins einstellbar sind.

6. PCM-System nach einem der vorhergehenden Ansprueche 2 bis 4, dadurch gekennzeichnet, dass ein Ruecksetzeingang (R) des Schieberegisters (SR) vorgesehen ist, dass die Kippstufen (K1 bis K7) des Schieberegisters ueber einen am Ruecksetzeingang (R) anliegenden Ruecksetzimpuls in die Ausgangslange 0010011 oder 0011011 rueckgestellt werden.



Home



Search



List



First



Prev



Go to



Next



Last

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)